

⑤1

Int. Cl. 2:

H 01 L 21/82

①9 BUNDESREPUBLIK DEUTSCHLAND

DEUTSCHES



PATENTAMT

DT 26 33 569 A 1

①1

# Offenlegungsschrift 26 33 569

②1

Aktenzeichen:

P 26 33 569.3

②2

Anmeldetag:

27. 7. 76

④3

Offenlegungstag:

24. 3. 77

③0

Unionspriorität:

③2 ③3 ③1

31. 7. 75 USA 600814

⑤4

Bezeichnung:

Transistor mit niedrigem Kollektorbahnwiderstand in einer integrierten Schaltung, sowie das zugehörige Herstellungsverfahren

⑦1

Anmelder:

National Semiconductor Corp., Santa Clara, Calif. (V.St.A.)

⑦4

Vertreter:

Richter, J., Dipl.-Ing.; Werdermann, F., Dipl.-Ing.;  
Splanemann, R., Dipl.-Ing.; Reitzner, B., Dipl.-Chem. Dr.; Pat.-Anwälte,  
2000 Hamburg

⑦2

Erfinder:

Hollins, Brian E., Los Altos; Nelson, Carl, Sunnyvale; Calif. (V.St.A.)

DT 26 33 569 A 1

P A T E N T A N S P R Ü C H E

1. Verfahren zur Herstellung eines Transistors mit niedrigem Kollektorbahnwiderstand in einer monolithischen integrierten Schaltung, dadurch gekennzeichnet, daß eine erste Schichtzone (31) eines ersten Leitungstyps in der Oberfläche eines Substrats (32) vom genannten ersten Leitungstyp ausgebildet wird, daß eine zweite Schicht (33) eines zweiten Leitungstyps über der Oberfläche des genannten Substrats (32) und der genannten ersten Schichtzone (31) ausgebildet wird, daß eine dritte Schichtzone (34) vom genannten ersten Leitungstyp in der Oberfläche der genannten zweiten Schicht (33) ausgebildet und über der ersten Schichtzone (31) angeordnet wird, daß eine vierte Schicht (36) vom ersten Leitungstyp über der Oberfläche der genannten zweiten Schicht (33) und der genannten dritten Schichtzone (34) ausgebildet wird, daß sich die genannte erste Schichtzone (31) und die genannte dritte Schichtzone (34) senkrecht zueinander, bis zur gegenseitigen Überlappung, innerhalb der genannten zweiten Schicht (33) zur Ausbildung einer tiefen Schichtzone vom ersten Leitungstyp ausbreiten, die sich von der genannten vierten Schicht (36), durch die genannte zweite Schicht (33) hindurch, bis in das Substrat (32) hinein erstreckt, daß eine Basiszone (15) vom genannten zweiten Leitungstyp in der genannten vierten Schicht (36), über der genannten dritten Schichtzone (34), ausgebildet wird, daß eine Emitterzone (16) vom genannten ersten Leitungstyp in der genannten Basiszone (15) ausgebildet wird, daß eine Emitterkontaktierung (22) zum Anschluß der genannten Emitterzone (16), und eine Basiskontaktierung (23) zum Anschluß der genannten Basiszone (15) ausgebildet wird, und daß eine Kollektorkontaktierung (37) auf dem genannten Substrat (32) geschaffen wird.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß es den Verfahrensschritt der Ausbildung einer fünften Schichtzone (35) des genannten ersten Leitungstyps in der genannten zweiten Schicht (33) und in einem gewissen seitlichen Abstand von der genannten dritten Schichtzone (34) umfaßt, wobei die genannte vierte Schicht (36) über der genannten fünften Schichtzone (35) ausgebildet wird, daß eine Basiszone (15) vom zweiten Leitungstyp in der genannten vierten Schicht (36) über der genannten fünften Schichtzone (35) ausgebildet wird, daß eine Emitterzone (16) vom ersten Leitungstyp in der genannten Basiszone (15) ausgebildet wird, daß eine Kollektorkontaktierungszone (17) vom ersten Leitungstyp in der genannten vierten Schicht (36) und in einem gewissen Abstand von der letztgenannten Basiszone (15) ausgebildet wird, daß Isolationszonen (14) vom zweiten Leitungstyp ausgebildet werden, die die genannte vierte Schicht (36) durchsetzen und in die genannte zweite Schichtzone (33) eindringen, und daß Kontaktierungen (23, 22, 21) für die letztgenannten Basis-, Emitter- und Kollektorkontaktierungszone (15, 16, 17) ausgebildet werden.

3. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß es den Schritt der Ausbildung einer ersten  $n^+$ -Schichtzone (31) auf der Oberfläche eines Substrats (32) vom n-Leitungstyp umfaßt, daß eine epitaxiale p-Schicht (33) auf der Oberfläche des genannten Substrats (32) und der genannten ersten  $n^+$ -Schichtzone (31) ausgebildet wird, daß eine zweite  $n^+$ -Schichtzone (34) in der Oberfläche der genannten epitaxialen p-Schicht (33) ausgebildet und über der genannten ersten  $n^+$ -Schichtzone (31) angeordnet wird, daß eine epitaxiale n-Schicht (36) auf der Oberfläche der genannten zweiten

## 3

$n^+$ -Schicht (34) und der genannten epitaxialen p-Schicht (33) ausgebildet wird, daß sich die genannte erste  $n^+$ -Schichtzone (31) und die genannte zweite  $n^+$ -Schichtzone (34) senkrecht bis zur gegenseitigen Überlappung innerhalb der genannten epitaxialen p-Schicht (33) ausdehnen, um eine tief gehende  $n^+$ -Schicht zu bilden, die sich von der genannten epitaxialen n-Schicht (36), durch die genannte epitaxiale p-Schicht (33) hindurch, bis in das genannte n-Substrat (32) hinein erstreckt, daß eine Basiszone (15) vom p-Leitungstyp in der genannten epitaxialen n-Schicht (36) über der genannten, tief gehenden  $n^+$ -Schichtzone (31, 34) ausgebildet wird, daß eine  $n^+$ -Emitterzone (16) in der genannten p-Basiszone (15) ausgebildet wird, daß eine Emitterkontaktierung (22) zum Anschluß der genannten  $n^+$ -Emitterzone (16) ausgebildet wird, sowie eine Basiskontaktierung (23) zum Anschluß der genannten p-Basiszone (15), und daß eine Kollektorkontaktierung (37) auf dem genannten n-Substrat (32) geschaffen wird.

4. Verfahren nach Anspruch 3, dadurch gekennzeichnet, daß es den Verfahrensschritt der Ausbildung einer dritten  $n^+$ -Schichtzone (35) in der genannten epitaxialen p-Schicht (33) in einem gewissen Abstand von der genannten zweiten  $n^+$ -Schichtzone (34) umfaßt, wobei die genannte epitaxiale n-Schicht (36) über der genannten  $n^+$ -Schichtzone (35) ausgebildet wird, daß eine p-Basiszone (15) in der genannten epitaxialen n-Schicht (36) über der genannten dritten  $n^+$ -Schichtzone (35) ausgebildet wird, daß eine  $n^+$ -Emitterzone (16) in der letztgenannten Basiszone (15) ausgebildet wird, daß eine  $n^+$ -Kollektorkontaktierungszone (17) in der genannten epitaxialen n-Schicht (36), in einem gewissen Abstand von der letztgenannten Basiszone (15), ausgebildet wird, daß  $p^+$ -Isolations-

## 4

zonen (14), durch die genannte epitaxiale n-Schicht (36) hindurch und in die genannte epitaxiale p-Schicht (33) eindringend, ausgebildet werden, und daß Kontaktierungen (23, 22, 21) für die letztgenannte Basis-, Emitter- und Kollektorkontaktierungszone (15, 16, 17) ausgebildet werden.

5. Monolithische integrierte Schaltung, hergestellt nach dem Verfahren gemäß Anspruch 1-4, mit einem Transistor mit niedrigem Kollektorbahnwiderstand, dadurch gekennzeichnet, daß sie ein Substrat (32) von einem ersten Leitungstyp umfaßt, daß eine erste Schicht (33) von einem zweiten Leitungstyp auf dem genannten Substrat (32) angeordnet ist, daß eine zweite Schicht (36) vom ersten Leitungstyp auf der genannten ersten Schicht (33) angeordnet ist, daß sich eine tiefe Schichtzone (31, 34) des ersten Leitungstyps vom unteren Teil der genannten zweiten Schicht (36), und durch die genannte erste Schicht (33), bis in das Substrat (32) hinein erstreckt, daß eine Basiszone (15) des zweiten Leitungstyps in der genannten zweiten Schicht (36) über der genannten tiefen Schichtzone (31, 34) angeordnet ist, daß sich eine Emitterzone (16) des ersten Leitungstyps in der genannten Basiszone (15) befindet, daß eine Emitterkontaktierung (22) zum Anschluß der genannten Emitterzone (16), eine Basiskontaktierung (23) zum Anschluß der genannten Basiszone (15) und eine Kollektorkontaktierung (37) zum Anschluß der Kollektorzone auf dem genannten Substrat (32) vorgesehen sind.

6. Monolithische integrierte Schaltung nach Anspruch 5, dadurch gekennzeichnet, daß sie eine dritte Schichtzone (35) vom ersten Leitungstyp am Übergang der genannten ersten Schicht (33) zu der

## 5

genannten zweiten Schicht (36) in einem gewissen Abstand von der genannten tiefen Schichtzone (31, 34) einschließt, daß sich eine Basiszone (15) des zweiten Leitungstyps in der genannten zweiten Schicht (36) über der genannten dritten Schichtzone (35) befindet, daß eine Kollektorkontaktierungszone (17) vom ersten Leitungstyp in der genannten zweiten Schichtzone (36) und in einem gewissen Abstand von der letztgenannten Basiszone (15) angeordnet ist, daß Isolationszonen (14) vom zweiten Leitungstyp durch die genannte zweite Schicht (36) hindurchgehen und in die genannte erste Schichtzone (33) eindringen, und daß Kontaktierungen (23, 22, 21) für die letztgenannte Basis-, Emitter- und Kollektorkontaktierungszone (15, 16, 17) vorgesehen sind.

7. Monolithische integrierte Schaltung nach Anspruch 5, dadurch gekennzeichnet, daß sie ein n-Substrat (32), eine epitaxiale p-Schicht (33) auf dem genannten n-Substrat (32), eine epitaxiale n-Schicht (36) auf der genannten epitaxialen p-Schicht (33) und eine tief liegende  $n^+$ -Schichtzone (31, 34) umfaßt, die sich vom unteren Teil der genannten epitaxialen n-Schicht (36) und durch die genannte epitaxiale p-Schicht (33) hindurch, bis in das genannte n-Substrat (32) hinein erstreckt, daß eine Basiszone (15) vom p-Leitungstyp in der genannten epitaxialen n-Schicht (36), über der genannten, tief liegenden  $n^+$ -Schichtzone (31, 34) vorgesehen ist, daß sich eine  $n^+$ -Emitterzone (16) innerhalb der genannten p-Basiszone (15) befindet, daß eine Emitterkontaktierung (22) die Verbindung mit der genannten  $n^+$ -Emitterzone (16), eine Basiskontaktierung (23) die Verbindung mit der genannten p-Basiszone (15), und eine Kollektorkontaktierung (37) die Verbindung mit dem genannten n-Substrat (32) herstellt.

## 6

8. Monolithische integrierte Schaltung nach Anspruch 7, dadurch gekennzeichnet, daß sie eine flache  $n^+$ -Schichtzone (35) am Übergang zwischen der genannten epitaxialen n-Schicht (36) und der genannten epitaxialen p-Schicht (33) und in einem gewissen Abstand von der genannten tief liegenden  $n^+$ -Schichtzone (31, 34) umfaßt, daß eine p-Basiszone (15) in der genannten epitaxialen n-Schicht (36) über der flachen  $n^+$ -Schichtzone (35) ausgebildet ist, daß sich eine  $n^+$ -Emitterzone (16) innerhalb der genannten p-Basiszone (15) befindet, daß eine  $n^+$ -Kollektorkontaktierungszone (17) in der genannten epitaxialen n-Schicht (36) in einem gewissen Abstand von der letztgenannten Basiszone (15) liegt, daß sich  $p^+$ -Isolationszonen (14) durch die genannte epitaxiale n-Schicht (36) erstrecken und in die genannte epitaxiale p-Schicht (33) eindringen, und daß Kontaktierungen (23, 22, 21) für die letztgenannte Basis-, Emitter- und Kollektorkontaktierungszone (15, 16, 17) vorgesehen sind.

9. Verfahren nach Anspruch 1 und 2, dadurch gekennzeichnet, daß es den Verfahrensschritt der Ausbildung einer rahmenförmigen Isolationszone (42) vom ersten Leitungstyp umfaßt, die sich innerhalb der genannten zweiten Schicht (33) senkrecht erstreckt, daß die genannte rahmenförmige Isolationszone (42) um den Umfang der integrierten Schaltung, in senkrechter Überdeckung mit einer vorbestimmten Begrenzungslinie (41) verläuft, die zur Trennung der einzelnen integrierten Schaltungen im Halbleiterplättchen derart eingesetzt wird, daß bei der Trennung der einzelnen integrierten Schaltungsplättchen an den genannten Begrenzungslinien (41) entlang die Abgrenzung senkrecht durch die genannte rahmenförmige Isolationszone (42) vom ersten Leitungstyp verläuft,

um versenkte pn-Übergänge (43) zwischen der genannten zweiten Schicht (33) und dem genannten Substrat (32) und zwischen der genannten zweiten Schicht (33) und der genannten vierten Schicht (36) zu schaffen.

10. Verfahren nach Anspruch 3 und 4, dadurch gekennzeichnet, daß es den Verfahrensschritt der Ausbildung einer rahmenförmigen Isolationszone (42) vom  $n^+$ -Leitungstyp umfaßt, die sich innerhalb der genannten epitaxialen p-Schicht (33) und senkrecht durch diese hindurch erstreckt, daß die genannte rahmenförmige  $n^+$ -Isolationszone (42) um den Umfang der integrierten Schaltung verläuft, in senkrechter Überdeckung mit einer vorbestimmten Begrenzungslinie (41), die zur Abtrennung der einzelnen integrierten Schaltungsplättchen voneinander derart eingesetzt wird, daß bei der Abtrennung der einzelnen integrierten Schaltungsplättchen an den genannten Begrenzungslinien (41) die Abgrenzung senkrecht durch die genannte rahmenförmige  $n^+$ -Isolationszone (42) verläuft, um versenkte pn-Übergänge (43) zwischen der genannten epitaxialen p-Schicht (33) und dem Substrat (32) vom n-Leitungstyp und zwischen der genannten epitaxialen p-Schicht (33) und der epitaxialen n-Schicht (36) zu schaffen.

11. Monolithische integrierte Schaltung nach Anspruch 5 und 6, dadurch gekennzeichnet, daß sie eine rahmenförmige Isolationszone (42) vom ersten Leitungstyp umfaßt, die innerhalb der genannten ersten Schicht (33) vom zweiten Leitungstyp angeordnet ist und sich senkrecht durch diese hindurch bis zu dem genannten Substrat (32) erstreckt, daß die genannte rahmenförmige Isolationszone (42) um den Umfang der integrierten Schaltung, in senkrechter



## 8

Überdeckung mit einer Begrenzungslinie (41) verläuft, die zur Abtrennung der einzelnen integrierten Schaltungsplättchen von dem Halbleiterplättchen eingesetzt wird, in dem sie ausgebildet worden sind, derart, daß bei der Abtrennung der einzelnen integrierten Schaltungsplättchen an diesen Begrenzungslinien entlang die Abgrenzung senkrecht durch die genannte rahmenförmige Isolationszone (42) vom ersten Leitungstyp hindurch geht, um versenkte pn-Übergänge (43) zwischen der genannten ersten Schicht (33) vom zweiten Leitungstyp und dem genannten Substrat (32) vom ersten Leitungstyp und zwischen der genannten zweiten Schicht (33) und der genannten vierten Schicht (36) zu schaffen.

12. Monolithische integrierte Schaltung nach Anspruch 7 und 8, dadurch gekennzeichnet, daß sie eine rahmenförmige Isolationszone (42) vom  $n^+$ -Leitungstyp umfaßt, die in der genannten epitaxialen p-Schicht (33) ausgebildet worden ist und sich senkrecht durch diese, bis zu dem genannten n-Substrat (32) hin, erstreckt, daß die genannte rahmenförmige Isolationszone (42) vom  $n^+$ -Leitungstyp um den Umfang der integrierten Schaltung in senkrechter Überdeckung mit einer vorbestimmten Begrenzungslinie (41) verläuft, die zur Abtrennung der einzelnen integrierten Schaltungsplättchen voneinander auf dem Halbleiterplättchen einzusetzen ist, auf welchem die integrierten Schaltungen ausgebildet worden sind, derart, daß bei der Abtrennung der einzelnen integrierten Schaltungsplättchen an den genannten Begrenzungslinien (41) diese Abgrenzung senkrecht durch die genannte rahmenförmige  $n^+$ -Isolationszone (42) verläuft, um versenkte pn-Übergänge (43) zwischen der genannten epitaxialen p-Schicht (33) und der genannten n-Substratschicht (32) und zwischen der genannten epitaxialen

2633569

9

p-Schicht (33) und der genannten epitaxialen n-Schicht (36) zu schaffen.

13. Verfahren nach Anspruch 9 und 10, dadurch gekennzeichnet, daß es den Verfahrensschritt der elektrischen Prüfung der einzelnen integrierten Schaltungsplättchen vor der Abtrennung derselben im Halbleiterplättchen umfaßt.

709812/0696

2633569

PATENTANWALT  
DIPL.-ING. FRANZ WERDERMANN

BANK: DEUTSCHE BANK AG IN HAMBURG  
KONTO-NR. 48/22 250, (BLZ 200 700 00)  
POSTSCHECKKONTO: HAMBURG 1261 50 - 209

2 HAMBURG 36  
NEUER WALL 10  
TELEFON 34 00 56

26. 7. 76

40

Patentanwalt Franz Werdermann, 2 Hamburg 36, Neuer Wall 10

N 76 053 DH

National Semiconductor Corp.  
2900, Semiconductor Drive  
Santa Clara, Kalif., V.St.A.

Transistor mit niedrigem Kollektorbahnwiderstand  
in einer integrierten Schaltung, sowie das zuge-  
hörige Herstellungsverfahren.

---

Für die vorliegende Anmeldung wird die Priorität aus der ent-  
sprechenden US-Anmeldung Serial No. 600 817 vom 31.7.1975 in  
Anspruch genommen.

Die vorliegende Erfindung betrifft einen Transistor mit niedrigem  
Kollektorbahnwiderstand in einer monolithischen integrierten  
Schaltung, sowie das zugehörige Herstellungsverfahren.

Transistoren in monolithischen integrierten Halbleiterbausteinen  
weisen verhältnismäßig hohe Kollektorbahnwiderstände auf und sind  
daher für Leistungsschaltungen über ein Ampère nicht gut geeignet.  
Solche vorbekannten Transistoren umfassen beispielsweise eine  
Basisdiffusion vom p-Typ in einer epitaxialen Schicht vom n-Typ,  
wobei diese epitaxiale Schicht auf einem Substrat vom p-Typ ge-  
züchtet worden ist. Eine versenkte  $n^+$ -Schicht wird durch Diffusion  
in dem p-Substrat und unterhalb der Basiszone vor der Züchtung der  
epitaxialen Schicht vom n-Typ ausgebildet. Eine Emitterdiffusion  
vom  $n^+$ -Leitungstyp wird in der eindiffundierten Basiszone vom

AA

p-Leitungstyp, und eine Kollektoranschlußzone wird durch einen  $n^+$ -Diffusionsvorgang in der epitaxialen n-Schicht seitlich versetzt gegenüber der Basisdiffusion vom p-Typ ausgebildet.

Der Kollektorbahnwiderstand eines derartigen Transistors wird durch die Bahn zwischen dem unteren Rand der Basiszone vom p-Typ und dem oberen Rand der versenkten  $n^+$ -Schicht gebildet, dazu kommt die seitliche Bahn, beginnend unterhalb der Basiszone und bis zur  $n^+$ -Kollektoranschlußzone hauptsächlich über die versenkte  $n^+$ -Schicht verlaufend, und schließlich eine senkrechte Bahn, von der versenkten  $p^+$ -Schicht aufwärts zur Kollektoranschlußzone. Bei großen gut angelegten geometrischen Anordnungen bringt die seitliche Bahn etwa die Hälfte des gesamten Kollektorbahnwiderstandes, und die senkrecht verlaufende Bahn unterhalb der Kollektoranschluß-Diffusionszone macht ungefähr vierzig Prozent des Gesamtwertes des Kollektorbahnwiderstandes aus.

Eine vorbekannte Verfahrensweise zur Verringerung des gesamten Kollektorbahnwiderstandes besteht darin, eine tiefe Diffusion der  $n^+$ -Kollektoranschlußzone derart auszuführen, daß sie sich nach unten, durch die epitaxiale n-Schicht hindurch, bis zur Berührung der epitaxialen  $n^+$ -Schicht erstreckt. Da die Bahn zwischen der versenkten  $n^+$ -Schicht und der Kollektoranschlußzone vierzig Prozent des gesamten Kollektorbahnwiderstandes ausmachte, wird hiermit eine wesentliche Verminderung des Kollektorbahnwiderstandes erreicht. Die seitliche Bahn, die unter der Basiszone beginnt und bis zu der tief eindiffundierten Kollektoranschlußzone hinüber verläuft, bleibt noch übrig und macht einen großen Anteil des Gesamtwiderstandes aus.

12

Bei einem als diskretes Bauelement ausgeführten Transistor ist keine derartige seitliche Bahn vorhanden, und der Kollektorbahnwiderstand ist niedrig. Die Emitter-, Basis- und Kollektorzone sind in senkrechter Ausrichtung zueinander angelegt, wobei die epitaxiale Schicht, in der die Basisdiffusion ausgeführt ist, auf einem  $n^+$ -Substrat gezüchtet wird, und die untere Oberfläche des Substrats wird als Kontaktierungsfläche für den Kollektor eingesetzt. Der Hauptanteil des Kollektorbahnwiderstandes wird lediglich zwischen der Basis vom p-Typ und dem unteren Rand der epitaxialen Schicht gebildet, somit ist der Kollektorbahnwiderstand niedrig, und ein derartiger, diskret ausgeführter Transistor weist gute Strombelastbarkeits-Kennwerte auf.

Daher ist es Aufgabe der vorliegenden Erfindung, einen Transistor mit niedrigem Kollektorbahnwiderstand in einer monolithischen integrierten Schaltung zu schaffen, der zum Betrieb mit hohen Strömen, bei niedriger Sättigungsspannung, geeignet ist.

Das zur Lösung der gestellten Aufgabe vorgeschlagene, erfindungsgemäße Herstellungsverfahren für einen Transistor mit niedrigem Kollektorbahnwiderstand in einer integrierten Schaltung ist dadurch gekennzeichnet, daß eine erste Schichtzone eines ersten Leitungstyps in der Oberfläche eines Substrats vom genannten ersten Leitungstyp ausgebildet wird, daß eine zweite Schicht eines zweiten Leitungstyps über der Oberfläche des genannten Substrats und der genannten ersten Schichtzone ausgebildet wird, daß eine dritte Schichtzone vom genannten ersten Leitungstyp in der Oberfläche der genannten zweiten Schicht ausgebildet und über der ersten Schichtzone angeordnet wird, daß eine vierte Schicht vom ersten Leitungstyp über der Oberfläche der genannten zweiten

70981270696

ORIGINAL INSPECTED

Schicht und der genannten dritten Schichtzone ausgebildet wird, daß sich die genannte erste Schichtzone und die genannte dritte Schichtzone senkrecht zueinander, bis zur gegenseitigen Überlappung, innerhalb der genannten zweiten Schicht zur Ausbildung einer tiefen Schichtzone vom ersten Leitungstyp ausbreiten, die sich von der genannten vierten Schicht, durch die genannte zweite Schicht hindurch, bis in das Substrat hinein, erstreckt, daß eine Basiszone vom genannten zweiten Leitungstyp in der genannten vierten Schicht, über der genannten dritten Schichtzone, ausgebildet wird, daß eine Emitterzone vom genannten ersten Leitungstyp in der genannten Basiszone ausgebildet wird, daß eine Emitterkontaktierung zum Anschluß der genannten Emitterzone, und eine Basiskontaktierung zum Anschluß der genannten Basiszone ausgebildet wird, und daß eine Kollektorkontaktierung auf dem genannten Substrat geschaffen wird.

Der erfindungsgemäße Transistor ist dadurch gekennzeichnet, daß er ein Substrat von einem ersten Leitungstyp umfaßt, daß eine erste Schicht von einem zweiten Leitungstyp auf dem genannten Substrat angeordnet ist, daß eine zweite Schicht vom zweiten Leitungstyp auf der genannten ersten Schicht angeordnet ist, daß sich eine tiefe Schichtzone des ersten Leitungstyps vom unteren Teil der genannten zweiten Schicht und durch die genannte erste Schicht, bis in das Substrat hinein, erstreckt, daß eine Basiszone des zweiten Leitungstyps in der genannten zweiten Schicht und über der genannten tiefen Schichtzone angeordnet ist, daß sich eine Emitterzone des ersten Leitungstyps in der genannten Basiszone befindet, daß eine Emitterkontaktierung zum Anschluß der genannten Emitterzone, eine Basiskontaktierung zum Anschluß der genannten Basiszone und eine Kollektorkontaktierung zum Anschluß der Kollektorzone

14  
auf dem genannten Substrat vorgesehen sind.

Die vorliegende Erfindung schafft also einen Transistor auf einer monolithischen, integrierten Schaltung mit niedrigem Kollektorbahnwiderstand, der somit für den Betrieb mit hohen Strömen, bei niedriger Sättigungsspannung, geeignet ist. Der erfindungsgemäße Hochstromtransistor wird senkrecht in dem Halbleitermaterial angelegt, wobei sein Kollektoranschluß an der Unterfläche des Substrats vorgesehen ist. Die übrigen Transistoren auf dem Halbleiterplättchen der integrierten Schaltung werden seitlich liegend, mit ihrer Kollektorkontaktierung auf der oberen Oberfläche, ausgebildet. Dabei sind diese Transistoren elektrisch von dem erfindungsgemäßen Hochstromtransistor isoliert.

Bei einer typischen Ausführungsform der Erfindung mit einer npn-Anordnung ist das Anfangs- oder Grundsubstrat ein n-Halbleitermaterial, in welches eine  $n^+$ -Zone in demjenigen Bereich durch Diffusion eingebracht wird, wo der Hochstromtransistor auszubilden ist. Es wird sodann eine epitaxiale p-Schicht auf dem n-Substrat gezüchtet, und daran anschließend wird eine zweite  $n^+$ -Schichtzone durch Diffusion in das Gebiet oberhalb der ersten  $n^+$ -Schicht eingebracht, und somit werden zwei versenkte  $n^+$ -Schichten in diesem Gebiet ausgeführt. Versenkte  $n^+$ -Schichtzonen werden ebenfalls in der oberen Oberfläche der epitaxialen p-Schicht in jedem Gebiet ausgebildet, wo ein elektrisch isolierter, seitlich angeordneter Transistor auf dem Halbleiterplättchen anzulegen ist.

Dann werden eine epitaxiale n-Schicht oben auf der epitaxialen p-Schicht und Isolations-Diffusionszonen zur Trennung der ver-

schiedenen Bauelemente ausgebildet. Darauf folgt eine Basisdiffusion vom p-Typ für alle Transistoren, einschließlich des erfindungsgemäßen Hochstromtransistors, sowie nachfolgende Emitterdiffusionen vom  $n^+$ -Typ für jeden Transistor, ebenso wie die Kollektorkontaktierungsdiffusionen vom  $n^+$ -Typ an der oberen Oberfläche für die elektrisch isolierten, seitlich angeordneten Transistoren.

Während der mit hoher Temperatur ausgeführten Verfahrensschritte bei der Herstellung der monolithischen integrierten Schaltung breiten sich beide  $n^+$ -Diffusionszonen in dem erfindungsgemäßen Hochstromtransistor senkrecht zueinander aus, bis sie ineinander übergehen und eine dicke und tief eindiffundierte versenkte  $n^+$ -Schicht bilden, die sich von einem unterhalb der p-Basiszone liegenden Gebiet bis hinunter in das n-Substrat erstreckt. Die Kollektorkontaktierung für diesen Transistor wird auf dem n-Substrat ausgeführt, und somit ist der von der engen epitaxialen n-Schicht zwischen der Unterseite der p-Basiszone und der Oberseite der tief eindiffundierten, versenkten  $n^+$ -Schicht gebildete Kollektorbahnwiderstand verhältnismäßig niedrig.

Die epitaxiale Schicht vom p-Leitungstyp bildet die Substratzone für die übrigen Transistoren, die herkömmliche Bauelemente mit seitlich kontaktierten Kollektoren sind. Es wird nur ein senkrecht angeordneter Hochstromtransistor auf dem Halbleiterplättchen einer integrierten Schaltung ausgebildet, außer für den Fall, daß mehrere derartige Hochstromtransistoren dann ausgebildet werden können, wenn sie sich alle in einen gemeinsamen Kollektor im n-Substrat teilen.



Eine rahmenförmige n-Zone wird durch einen auf- und abwärts gerichteten Diffusionsvorgang durch die epitaxiale p-Schicht in senkrechter Überdeckung mit der Begrenzungslinie eines jeden Halbleiterplättchens für eine integrierte Schaltung ausgebildet.

Wenn die einzelnen Schaltungsplättchen aus dem Halbleiterplättchen abgespalten werden, so ist der pn-Übergang zwischen der epitaxialen p-Schicht und der n-Substratschicht versenkt, um unerwünschten Leckstrom über den pn-Übergang zu vermeiden.

Im folgenden wird die Erfindung beispielsweise und anhand der beigefügten Zeichnungen ausführlich erläutert. Es zeigen:

Fig. 1: eine senkrechte Schnittansicht einer monolithischen integrierten Schaltungsstruktur, zur Darstellung zweier elektrisch isolierter, seitlich angeordneter Transistoren, die in der integrierten Schaltung auf vorbekannte Weise ausgebildet worden sind,

Fig. 2: eine senkrechte Schnittansicht einer integrierten Schaltung wie nach Fig. 1, zur Darstellung einer vorbekannten Verfahrensweise zur Herabsetzung des Kollektorbahnwiderstandes des Transistors,

Fig. 3: eine senkrechte Schnittansicht eines Teils des erfindungsgemäßen monolithischen, integrierten Schaltungsbausteins in einem ersten Stadium seiner Herstellung,

17  
Fig. 4: eine senkrechte Schnittansicht des erfindungsgemäßen monolithischen, integrierten Schaltungsbausteins, zur Darstellung des fertiggestellten, senkrecht angeordneten Hochstromtransistors und eines der seitlich angeordneten Transistoren, und

Fig. 5: eine senkrechte Schnittansicht wie nach Fig. 4, zur Veranschaulichung einer anderen Ausführungsform der Erfindung.

Es wird nunmehr auf Fig. 1 bezug genommen, dort sind zwei Transistoren von seitlich angeordneter Bauform dargestellt, die auf vorbekannte Weise auf einer monolithischen Halbleiterstruktur ausgebildet worden sind, die ein leicht dotiertes Substrat 11 vom p-Leitungstyp (mit einem spezifischen Widerstand von etwa 1...10 Ohm cm) mit darauf gezüchteter, epitaxialer Schicht 12 (spezifischer Widerstand von etwa 1...5 Ohm cm) umfaßt, sowie versenkte  $n^+$ -Schichten 13 (mit einem spezifischen Flächenwiderstand von 20 Ohm/Quadrat), die in das p-Substrat 11 vor der Züchtung einer epitaxialen n-Schicht 12 durch Diffusion eingebracht worden sind. Die Gebiete der verschiedenen Transistoren werden sodann durch die üblichen tiefgehenden Isolations-Diffusionszonen 14 gegeneinander abgegrenzt. Sodann werden Basis-Diffusionszonen 15 vom p-Typ ausgebildet, darauf folgen  $n^+$ -Emitter-Diffusionszonen 16 und  $n^+$ -Kollektorkontaktierungs-Diffusionszonen 17 an der Oberfläche. Dann wird eine Oxidschicht 18 auf der Oberfläche mit Ausnehmungen für die verschiedenen metallischen Anschlüsse und Verbindungen, einschließlich der Kollektoranschlüsse 21, der Emitteranschlüsse 22 und der Basisanschlüsse 23, versehen.

Derartige Transistoren sind für die Verwendung bei hohen Strömen, beispielsweise von mehr als 1 A, nicht gut geeignet, weil die Werte ihrer Kollektorbahnwiderstände zu hoch für Bauelemente angemessener Größe sind. Der Kollektorbahnwiderstand wird gebildet von dem Halbleitermaterial in der Bahn von der unteren Oberfläche der p-Basiszone 15 bis zu der oberen Oberfläche der versenkten  $n^+$ -Schicht 13, dazu kommt die seitliche Bahn, die unterhalb der p-Basiszone 15 beginnt und bis unter die  $p^+$ -Kollektorkontaktierungszone 17 geht, und zwar hauptsächlich über die versenkte  $n^+$ -Schicht 13, hinzu kommt noch die Bahn von der oberen Oberfläche der versenkten  $n^+$ -Schicht 13 bis zu der  $n^+$ -Kollektorkontaktierungszone 17. Von dem gesamten Kollektorbahnwiderstand werden ungefähr vierzig Prozent durch die Bahn zwischen der  $n^+$ -Kollektorkontaktierungszone 17 und der versenkten  $n^+$ -Schicht 13 beigesteuert, während die seitlich verlaufende Bahn durch die epitaxiale n-Schicht 12, von unterhalb der Basiszone 15 bis hin zur Kollektorkontaktierungszone 17, fünfzig Prozent des Gesamtwertes beisteuert. Diese angenäherten Zahlenwerte gelten für die meisten gut angelegten größeren geometrischen Anordnungen.

Eine vorbekannte Verfahrensweise zur Herabsetzung des Kollektorbahnwiderstandes besteht darin, die senkrecht durch die epitaxiale n-Schicht 12, zwischen der Kollektorkontaktierungszone 17 und der versenkten  $n^+$ -Schicht 13 verlaufende Bahn zu beseitigen. Dies wird erreicht, indem man die Kollektorkontaktierungszone 17 mit einem tief eindiffundierten  $n^+$ -Pfropfen (siehe Fig. 2) vor der Ausbildung der Basiszonen 15 und der Emitterzonen 16 ausführt. Diese tief gehende Diffusion bringt die Kollektorkontaktierungszone oder den Pfropfen 17 nach unten, durch die epitaxiale n-Schicht 12

hindurch, bis zum Übergang in die versenkte  $n^-$ -Schicht

Diese Maßnahme erbringt eine Verbesserung der Strombelastbarkeit des Transistors um den Faktor 2. Dies liegt jedoch noch oberhalb des gewünschten niedrigen Kollektorbahnwiderstandes, weil die seitliche Bahn von unterhalb der Basiszone 15, bis hinüber zur Kollektorkontaktierungszone 17, hauptsächlich über die versenkte  $n^+$ -Schicht 13, noch vorhanden ist, und diese Bahn den größten Beitrag zum Kollektorbahnwiderstand liefert.

Es wird nunmehr auf Fig. 3 bezug genommen, demgemäß umfaßt das Anfangsstadium bei der Ausbildung eines erfindungsgemäßen Transistors mit niedrigem Kollektorwiderstand die Diffusion einer ersten  $n^+$ -Schicht 31 in dem Substrat 32 des Halbleiterkörpers vom n-Leitungstyp (mit einem spezifischen Widerstand von etwa 0,1 Ohm cm) in demjenigen Gebiet, wo sich der erfindungsgemäße Hochstromtransistor befinden soll. Darauf folgt die epitaxiale Züchtung einer p-Schicht 33 (spezifischer Widerstand ungefähr 1 Ohm cm) auf dem n-Substrat 32. Eine zweite  $n^+$ -Schicht 34 wird in die epitaxiale p-Schicht 33 direkt oberhalb des Bereiches der ersten versenkten  $n^+$ -Schicht 31 eindiffundiert, und ähnliche  $n^+$ -Schichten 35 werden beispielsweise in die epitaxiale p-Schicht 33 an den Orten der anderen, isoliert auf dem Substrat 32 auszuführenden Transistoren eindiffundiert.

Es wird nunmehr auf Fig. 4 bezug genommen, wonach anschließend eine epitaxiale n-Schicht 36 (mit einem spezifischen Widerstand von etwa 1 Ohm cm) oben auf der epitaxialen p-Schicht 33 ausgebildet wird, und sodann läßt man  $p^+$ -Isolationszonen 14 in diese epitaxiale n-Schicht 36 eindiffundieren. Anschließend werden die p-Basiszonen 16 durch Diffusion, und die  $n^+$ -Kollektorkontaktierungs-

zonen 17 für die elektrisch isolierten Transistoren ausgebildet.

Während der mit hoher Temperatur ausgeführten Verfahrensschritte, beispielsweise bei der Ausführung der tief gehenden  $p^+$ -Diffusion der Isolationszonen 14, diffundieren die versenkten  $n^+$ -Gebiete 31 und 34 in senkrechter Richtung bis zu dem Punkt, wo diese versenkten Schichten einander überlappen und, wie in Fig. 4 gezeigt, eine einzige dicke, versenkte  $n^+$ -Schicht bilden. Die Kollektorkontaktierung für den auf der rechten Seite liegenden Hochstrom-Transistor kann nun auf der unteren Oberfläche des n-Substrats 32, beispielsweise mittels eines metallischen Anschlußelementes 37 ausgeführt werden, und der Hauptanteil des Kollektorbahnwiderstandes wird jetzt nur durch die zwischen der unteren Oberfläche der Basiszone 15 und dem oberen Rand der versenkten  $n^+$ -Schicht zone 34 verlaufenden Bahn gebildet. Die versenkten  $n^+$ -Schichten 31 und 34, sowie das n-Substrat 32, bilden eine Bahn mit sehr niedrigem Widerstand durch diesen Bereich.

Die epitaxiale p-Schicht 33 bildet das Substrat für alle anderen Transistoren, die, wie durch den auf der linken Seite nach Fig. 4 befindlichen Transistor veranschaulicht, auf dem Halbleiterplättchen auszubilden sind. Da dieser Transistor einen hohen Kollektorbahnwiderstand aufweist, bietet er nicht die Strombelastbarkeit des erfindungsgemäßen, senkrecht angeordneten Transistors auf der rechten Seite nach Fig. 4.

In der monolithischen integrierten Schaltung nach Fig. 4 weist der senkrecht angeordnete Transistor eine verhältnismäßig hohe Strombelastbarkeit, von beispielsweise 2-10 A, auf, während die

isolierten, seitlich angeordneten Transistoren der integrierten Schaltung verhältnismäßig hohe Kollektor-Emitter-Durchbruchspannungen, beispielsweise von mehr als 20 V und vorzugsweise im Bereich von 25 bis 30 V aufweisen. Bei einem solchen Schaltungsbaustein, wie in Fig. 4 gezeigt, hat das n-Substrat 32 eine Stärke, die in Abhängigkeit vom Durchmesser des Plättchens, in den Bereich von 0,127 bis 0,508 mm fällt, sowie einen spezifischen Widerstand, der in dem Bereich von 0,08 bis 0,24 Ohm cm liegt. Wenn der spezifische Widerstand des n-Substrats 32 unter 0,08 Ohm cm liegt, so wandert der pn-Übergang zwischen der epitaxialen Schicht 33 vom p-Leitungstyp und der n-Substratschicht 32 nach oben, zu der epitaxialen n-Schicht 36 hin, und zwar während der Diffusionsschritte, die beim Herstellungsverfahren der integrierten Schaltung eingesetzt werden. Wenn andererseits der spezifische Widerstand der n-Substratschicht 32 zu hoch ist, d.h. höher als 0,24 Ohm cm, so wird der Kollektorbahnwiderstand des senkrechten npn-Transistors zu hoch.

Die epitaxiale p-Schicht 33 weist vorzugsweise eine Stärke auf, die im Bereich von 10...16  $\mu\text{m}$  liegt, sowie einen spezifischen Widerstand, der in den Bereich von 0,7...2,0 Ohm cm fällt. Wenn der spezifische Widerstand der epitaxialen p-Schicht 33 zu niedrig ist, d.h. bei weniger als 0,7 Ohm cm liegt, so wird die aufwärts gerichtete Diffusion der  $n^+$ -Schicht 31 bis zu dem Punkt vermindert, wo die  $n^+$ -Schichtzonen 31 und 34 nicht mehr einander überdecken können, in diesem Fall wird also kein durchgehendes  $n^+$ -Gebiet ausgebildet. Wenn andererseits der spezifische Widerstand der epitaxialen p-Schicht 33 zu hoch liegt, d.h. mehr als 2,0 Ohm cm aufweist, so kann ein Spannungsdurchschlag auftreten, beispielsweise bei weniger als 20 V, und zwar zwischen dem isolierten Kollektor 35

des seitlich liegenden npn-Transistors und dem Kollektor 32 des senkrecht angeordneten Leistungs- oder Hochstrom-Transistors aufgrund der Tatsache, daß sich die Sperrschichten an den Übergängen aus der epitaxialen p-Schicht 33 und dem n-Substrat 32 und aus der epitaxialen p-Schicht 33 und dem isolierten Kollektor 35 zueinander hin derart ausbreiten können, daß sie sich gegenseitig berühren.

Wenn die Stärke der epitaxialen p-Schicht 33 zu gering ist, d.h. weniger als angenähert 10  $\mu\text{m}$ , so wird die Durchschlagsspannung zu niedrig, beispielsweise weniger als 20 V, woraus sich ein Zustand ergibt, der dem Fall ähnelt, wo der spezifische Widerstand der epitaxialen p-Schicht 33 zu hoch ist. Umgekehrt, wenn die Stärke der epitaxialen p-Schicht 33 zu hoch ist, d.h. größer als etwa 16  $\mu\text{m}$ , so ist eine durchgehende Diffusion zwischen den Schichten 31 und 34, die über die epitaxiale p-Schicht 33 erfolgt, zu schwierig zu erreichen.

Die epitaxiale n-Schicht 36 weist vorzugsweise eine Stärke auf, die in den Bereich von 10...16  $\mu\text{m}$  fällt, sowie einen spezifischen Widerstand, der im Bereich von 0,5...2,0 Ohm cm liegt. Wenn die Stärke der epitaxialen n-Schicht 36 zu niedrig ist, d.h. weniger als 10  $\mu\text{m}$  beträgt, so fällt die Kollektor-Emitter-Durchbruchspannung in dem seitlichen isolierten npn-Transistor unter 20 V aufgrund des Erreichens der Durchbruchfeldstärke zwischen der Sperrschicht, die die p-Basiszone 15 umgibt, und der versenkten  $n^+$ -Schicht 35. Wenn andererseits die epitaxiale n-Schicht 36 zu stark ist, so können die Zonen der seitlich angeordneten Transistoren nicht von dem senkrecht angeordneten Hochstrom-Transistor und von den anderen seitlich liegenden Bauelementen durch die zuge-

hörigen Isolationszonen 14 wegen der begrenzten Tiefe dieser letzteren getrennt werden. Wenn der spezifische Widerstand der epitaxialen n-Schicht 36 zu niedrig ist, d.H. unter 0,5 Ohm cm liegt, so tritt ein Lawinendurchbruch zwischen der p-Basiszone 15 und der epitaxialen n-Schicht 36 auf. Wenn der spezifische Widerstand der epitaxialen n-Schicht 36 zu hoch ist, so kann die Durchbruchfeldstärke in derselben Weise wie oben beschrieben zwischen der p-Basiszone 15 und der versenkten Schicht 35 auftreten, wie im Hinblick auf den Fall, wo die epitaxiale n-Schicht 36 zu dünn ist. Ein anderer, durch den zu hohen spezifischen Widerstand der epitaxialen n-Schicht 36 verursachter Nachteil liegt in der Zunahme des Kollektorbahnwiderstandes des seitlich angeordneten Transistors.

Da die Kollektorbahn des erfindungsgemäßen Hochstrom-Transistors mit niedrigem Kollektorbahnwiderstand das n-Substrat 32 einschließt, so kann nur ein einziger derartiger, unabhängig betreibbarer Hochstrom-Transistor auf dem Halbleiterkörper hergestellt werden, außer für den Fall, daß zwei oder mehrere derartige Transistoren unter der Voraussetzung hergestellt werden dürfen, daß sie einen gemeinsamen Kollektoranschluß aufweisen.

Es wird nunmehr auf Fig. 5 bezug genommen, dort ist eine andere Ausführungsform der Erfindung dargestellt. Bei der Ausführungsform nach Fig. 5 ist die Struktur identisch mit der zuvor nach Fig. 4 beschriebenen Struktur, mit der Ausnahme, daß an der Begrenzung eines jeden integrierten Schaltungsplättchens, das geritzt und abgetrennt werden soll an Ritzungslinien 41 entlang, eine durchgehend diffundierte rahmenförmige Isolationszone 42 in



der epitaxialen p-Schicht 33 in derselben Weise, d.h. durch die auf- und abwärts gerichtete Diffusion versenkter  $n^+$ -Schichten, zu demselben Zeitpunkt und bei demselben Diffusionsschritt erhalten wird, wie es zuvor unter Bezugnahme auf Fig. 3 für die versenkten Schichten 31 und 34 beschrieben worden ist, die dazu eingesetzt werden, die andere durchgehende Diffusion zu erhalten. Diese rahmenförmigen Isolationszonen 42 werden in der epitaxialen p-Schicht 33 in senkrechter Überdeckung mit den einzelnen, sich überschneidenden Ritzungslinien 41 vorgesehen. Diese durchgehend diffundierte Isolationszone 42 an den Ritzungslinien 41 entlang dient zur Schaffung eines versenkten pn-Überganges bei 43, zwischen der epitaxialen p-Schicht 33 und dem n-Substrat 32. Bei Nichtvorhandensein der durchgehend diffundierten Isolationszonen 42 wird an der Begrenzung ein pn-Übergang an der Trennungsfläche, zwischen der epitaxialen p-Schicht 33 und dem n-Substrat 32 ausgebildet, wodurch aufgrund der Oberflächenverunreinigung bewirkt wird, daß ein Leckstrom zwischen der epitaxialen p-Schicht 33 und dem n-Substrat 32 fließt. Dieser unerwünschte Leckstrom würde in der integrierten Schaltung als Leckstrom von der isolierten p-Zone zum Kollektor 32 des erfindungsgemäßen, senkrechten npn-Hochstrom-Transistors in Erscheinung treten. Die versenkten Übergänge 43 unterbinden diesen unerwünschten Strom. Außerdem dienen die versenkten Übergänge 43 dazu, die epitaxialen p-Schichtzonen 33 eines jeden integrierten Schaltungsplättchens voneinander vor der mechanischen Trennung zu separieren, so daß die einzelnen integrierten Schaltungsplättchen vor ihrer Abspaltung elektrisch geprüft werden können. Ohne die rahmenförmigen, durchgehend diffundierten Isolationszonen 42 würde man einen sich steigenden Leckstrom über das Halbleiterplättchen, zwischen dem n-Substrat 32

und der epitaxialen p-Schicht 33, erhalten, was die Prüfung der einzelnen Schaltungsplättchen vor der Abspaltung unmöglich machen würde.

Bei der Herstellung der erfindungsgemäßen Strukturen werden übliche und vorbekannte Verfahrensweisen für die Fotolithografie, den epitaxialen Züchtungsvorgang und für die Diffusionsvorgänge eingesetzt. Wenn auch die Erfindung unter Bezugnahme auf npn-Transistoren beschrieben worden ist, so kann sie ebenfalls zur Schaffung von pnp-Transistoren mit den Merkmalen der Erfindung eingesetzt werden.

- Patentansprüche -



2633569

H01L 21-82 AT:27.07.1976 OT:24.03.1977

27-

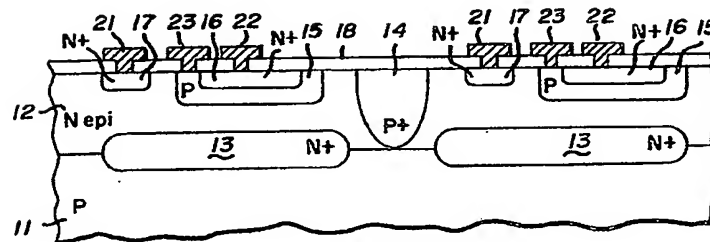


Fig. 1

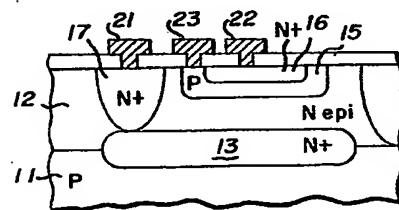


Fig. 2

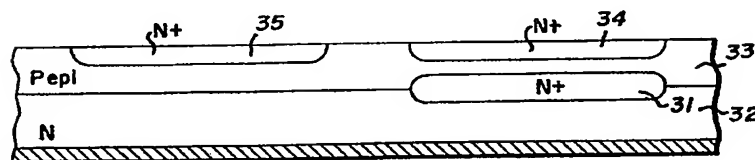


Fig. 3

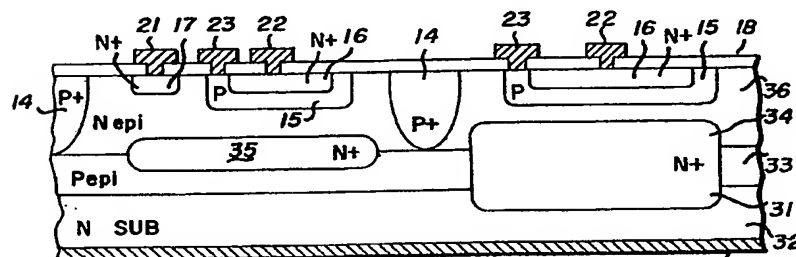


Fig. 4

709812/0696

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**